



COPY OF PAPERS
ORIGINALLY FILED

#3
BT
4-10-02

2811

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Jian-Shen YU, et al.)
Serial No.: 10/071,063)
Filed: February 7, 2002) Our Ref: B-4494 619514-6
For: "THIN-FILM TRANSISTOR ARRAY)
STRUCTURE") Date: March 18, 2002

CLAIM TO PRIORITY UNDER 35 U.S.C. 119

Honorable Commissioner of Patents and Trademarks
Washington, D.C. 20231

Sir:

[X] Applicant hereby makes a right of priority claim under U.S.C. 119 for the benefit of the filing date(s) of the following corresponding foreign application(s):

COUNTRY	FILING DATE	SERIAL NUMBER
TAIWAN, R.O.C.	19 February 2001	90103694

TC 2330 MAIL ROOM

APR - 1 2002

RECEIVED

- [] A certified copy of each of the above-noted patent applications was filed with the Parent Application No. _____.
- [X] To support applicant's claim, a certified copy of the above-identified foreign patent application is enclosed herewith.
- [] The priority document will be forwarded to the Patent Office when required or prior to issuance.

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first-class mail in an envelope addressed to the "Commissioner of Patents and Trademarks, Washington, D.C. 20231", on March 18, 2002 by Suzanne Johnston.

SJ

Respectfully submitted,

Richard P. Berg
Attorney for Applicant
Reg. No. 28,145

LADAS & PARRY
5670 Wilshire Boulevard
Suite 2100
Los Angeles, CA 90036
Telephone: (323) 934-2300
Telefax: (323) 934-0202



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA



茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申 請 日：西元 2001 年 02 月 19 日
Application Date

申 請 案 號：090103694
Application No.

申 請 人：友達光電股份有限公司
Applicant(s) (西元 2001 年 12 月 27 日聯友光電股份有限公司
將本案之專利申請權讓與友達光電股份有限公司)

局 長
Director General

陳 明 邦

發文日期：西元 2002 年 2 月 22 日
Issue Date

發文字號：09111002689
Serial No.

RECEIVED

APR - 1 2002
IC 2800 MAIL ROOM 1

申請日期：

案號：

類別：

(以上各欄由本局填註)

發明專利說明書

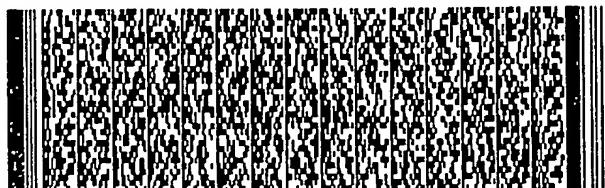
一、 發明名稱		中文 薄膜電晶體陣列結構
		英文
二、 發明人		姓 名 (中文) 1. 尤建盛 2. 張煒熾 姓 名 (英文) 1. 2. 國 稷 1. 中華民國 2. 中華民國 住、居 所 1. 新竹市東區東勢里11鄰東明街98之2號2樓 2. 新竹縣竹北市中興里12鄰嘉興路277巷25號8樓
三、 申請人		姓 名 (名稱) (中文) 1. 友達光電股份有限公司 姓 名 (名稱) (英文) 1. 國 稷 1. 中華民國 住、居 所 (事務所) 1. 新竹科學工業園區新竹市力行二路一號 代表人 姓 名 (中文) 1. 李焜耀 代表人 姓 名 (英文) 1.



四、中文發明摘要 (發明之名稱：薄膜電晶體陣列結構)

一種薄膜電晶體陣列結構，可使液晶顯示面板各處之源極電極與資料線間的電容耦合效應保持固定，上述結構主要是在像素電極靠近資料線的兩側形成電極，此電極與資料線係位於同一個光罩上，如此一來，電極與資料線間的距離即保持固定，再使此電極與像素電極連接，且像素電極的邊緣不超過電極的範圍，則像素電極與資料線間的電容耦合效應即等同於上述電極與資料線間的電容耦合效應，而該電極與資料線間的電容耦合效應係保持固定，因而即使像素電極的位置有所偏差，導致其與資料線間的距離改變，像素電極與資料線間的電容耦合效應也會保持不變，藉以避免因製程中像素電極對準的誤差，導致面板上不同像素間光學特性的變化。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

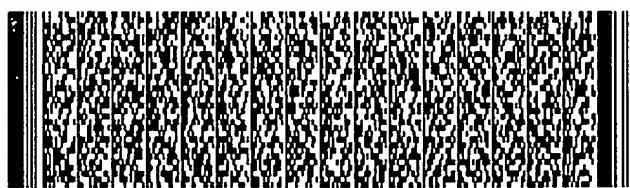
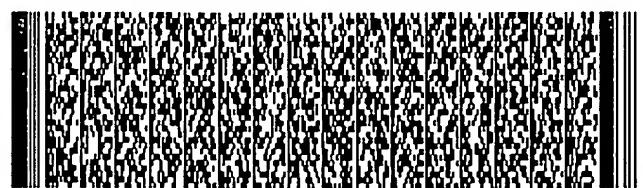
寄存號碼

無

五、發明說明 (1)

本發明係有關於一種薄膜電晶體液晶顯示裝置，特別係有關於一種薄膜電晶體陣列結構，其可使得面板各處之源極電極與資料線間的電容耦合效應保持固定。

在製作薄膜電晶體陣列(TFT array)時，特別是使用於大面積液晶面板時，由於光罩的大小無法做到跟面板一樣大，所以必須以光罩分別對面板的不同位置進行曝光，此時若發生層與層間對位不準的情形，在傳統的薄膜電晶體陣列的結構中往往會產生光學特性的變化，例如相鄰區塊穿透率的不同，而其起因最主要是因為面板內相鄰區塊的源極電極與資料線之電容耦合效應程度不同所致。請參閱第1A圖，其係繪示傳統薄膜電晶體液晶顯示裝置的一個像素之電極的佈局圖。在圖中，CE表示共同電極(common electrode)，SL表示掃瞄線(scanning line)，標號10指示為一個薄膜電晶體。薄膜電晶體的源極電極12經由接觸孔14與氧化銦錫(ITO)電極16(也就是像素電極)連接，資料線DL(data line)則與薄膜電晶體的汲極18連接。請參閱第1B圖，其係繪示第1A圖中之沿著I-I方向之剖面圖，從圖中可知，電容耦合效應主要是發生在資料線DL與ITO電極16之間。如此，則資料線DL與源極電極間的電容耦合(capacitance coupling)跟資料線DL和ITO電極16間的距離有關，如第1B圖所示，即跟 Δd 有關。又因為資料線與ITO電極在製程上分屬不同的光罩，所以一旦對準上稍有偏差，則很容易導致不同區塊內之電容耦合效應的不同，因而在區塊相接處形成一條可見的接合線線。



五、發明說明 (2)

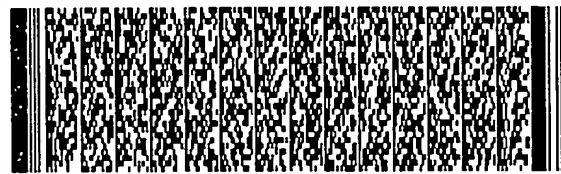
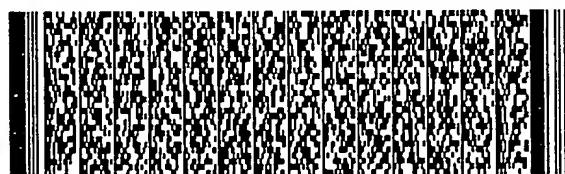
因此如何使得源極電極與資料線之電容耦合效應程度較不受製程誤差的影響，將有助於量產良率的提升。

有鑑於此，本發明之目的即在於提供一種薄膜電晶體陣列的結構，其可使得薄膜電晶體陣列上的源極電極與資料線間的電容耦合效應保持固定，不受製程對位不準的影響。

為了達到上述目的，本發明主要是由於源極電極與資料線是位於同一個光罩上，因此源極電極與資料線間的距離可以保持固定，又因為源極電極與像素電極相連接，利用改變源極電極的形狀，可以使像素電極與資料線間的電容耦合效應等同於資料線與源極電極的電容耦合效應，如此即使製程中有所偏差，電容耦合效應也會保持固定，而可避免面板上不同像素間光學特性的變化。

本發明之主要特徵乃是在像素電極靠近資料線的兩側形成電極，此電極與資料線係位於同一個光罩上，如此一來，電極與資料線間的距離即保持固定，再使此電極與像素電極連接，且像素電極的邊緣不超過電極的範圍，則像素電極與資料線間的電容耦合效應即等同於上述電極與資料線間的電容耦合效應，因而即使像素電極的位置有所偏差，導致其與資料線間的距離改變，像素電極與資料線間的電容耦合效應也會保持不變。

以下，就圖式說明本發明之使面板各處之源極電極與資料線間的電容耦合效應保持固定的薄膜電晶體陣列結構的實施例。



五、發明說明 (3)

圖式簡單說明

第1A圖係繪示傳統薄膜電晶體液晶顯示裝置的一個像素之電極的佈局圖。

第1B圖係繪示第1A圖之局部放大的剖面圖。

第2A圖係繪示根據本發明之一實施例的薄膜電晶體液晶顯示裝置的一個像素之電極的佈局圖。

第2B圖係繪示第2A圖之局部放大的剖面圖。

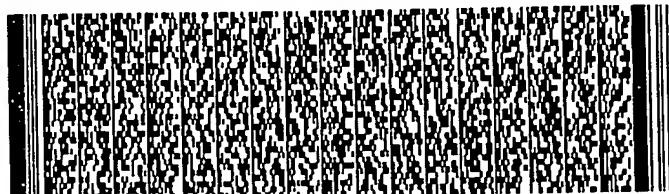
第3圖係繪示根據本發明之另一實施例的薄膜電晶體液晶顯示裝置的一個像素之電極的佈局圖。

[符號說明]

薄膜電晶體~10、20；	汲極~18、20a；
閘極~20b；	源極電極~12、20c、21；
接觸孔~14；	資料線~22；
掃瞄線~24；	像素電極~16、26；
接觸孔~28；	輔助電極~30；
接觸孔~32。	

實施例

請參閱第2A圖，根據本發明之一實施例，液晶顯示裝置中之薄膜電晶體陣列結構係包括：一薄膜電晶體20；一資料線22，與上述薄膜電晶體的汲極20a連接；一掃瞄線24，與上述薄膜電晶體的閘極20b連接，且上述掃瞄線24係與上述資料線22垂直交叉形成矩陣狀的配置；一像素電極26，形成於由上述資料線22與掃瞄線24形成之矩陣中的空格內，經由一接觸孔28與上述薄膜電晶體的源極電極

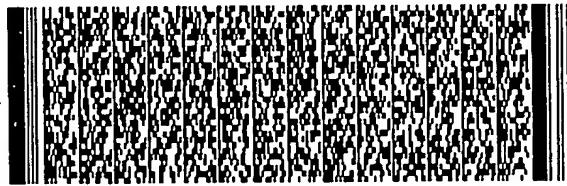


五、發明說明 (4)

20c 連接，上述源極電極 20c 係延伸至上述像素電極 26 靠近上述資料線 22 的兩側，且上述像素電極 26 的邊緣係位於上述源極電極 20c 上方。

請參閱第 2B 圖，其係繪示第 2A 圖中之沿著 II-II 方向之剖面圖，從圖中可知，電容耦合效應主要是發生在資料線 22 與源極電極 20c 之間。由於源極電極與資料線係固定地位於同一個光罩上，且像素電極藉由接觸孔與源極電極相連，形成為同一導體，而使得像素電極與資料線間的電容耦合效應和源極電極與資料線間的電容耦合效應相同。又如上所述，源極電極與資料線係於同一個光罩上，其間的距離亦為固定。且像素電極的邊緣係位於源極電極上方，而不超出於源極電極的範圍。因此，即使在形成像素電極時，對準稍有偏差，使得像素電極與兩側之資料線間的距離有所變化，因為源極電極與資料線間的距離不變，像素電極與資料線間的電容耦合效應也會保持不變。

請參閱第 3 圖，根據本發明之另一實施例，液晶顯示裝置中之薄膜電晶體陣列結構係包括：一薄膜電晶體 20；一資料線 22，與上述薄膜電晶體的汲極 20a 連接；一掃瞄線 24，與上述薄膜電晶體的閘極 20b 連接，且上述掃瞄線 24 係與上述資料線 22 垂直交叉形成矩陣狀的配置；一像素電極 26，形成於由上述資料線 22 與掃瞄線 24 形成之矩陣中的空格內，經由一接觸孔 28 與上述薄膜電晶體的源極電極 21 連接；一輔助電極 30，形成於上述像素電極 26 靠近上述資料線 22 的兩側，且上述像素電極 26 的邊緣係位於上述輔



五、發明說明 (5)

助電極30的上方，上述輔助電極30與上述源極電極21係位於同一平面上，且上述輔助電極30經由一接觸孔32與上述像素電極26連接，進而與上述源極電極21連接。

因為上述輔助電極與像素電極以及源極電極均有連接，而形成同一導體，所以像素電極與資料線間的電容耦合效應和輔助電極和資料線間的電容耦合效應相同。又，因為上述輔助電極與上述源極電極以及上述資料線均係位於同一個光罩上，上述輔助電極與上述資料線間的距離會是固定的。所以，上述輔助電極和資料線間的電容耦合效應會保持不變，故而即使在形成像素電極時位置有所偏差，像素電極與資料線間的電容耦合效應也會保持固定。

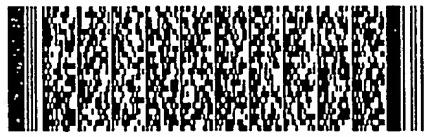
在前述的實施例中，像素電極一般即為ITO電極。而上述輔助電極的材料可與上述源極電極的材料相同。在第一個實施例中，源極電極形成為U形；而在第二個實施例中，輔助電極形成為H形。由上述實施例可知，本發明之特徵在於必須在像素電極靠近資料線的邊緣形成電極，並使該電極與像素電極連接，同時該電極必須與資料線位於同一個光罩上。如此則像素電極與資料線間的電容耦合效應可等同於該電極與資料線間的電容耦合效應，而該電極與資料線間的電容耦合效應係保持固定，藉以避免因製程中像素電極對準的誤差，導致面板上不同像素間光學特性變化。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精



五、發明說明 (6)

神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



六、申請專利範圍

1. 一種薄膜電晶體陣列結構，其包括：

一薄膜電晶體；

一資料線，與上述薄膜電晶體的汲極連接；

一掃瞄線，與上述薄膜電晶體的閘極連接，且上述掃瞄線係與上述資料線垂直交叉形成矩陣狀的配置；

一像素電極，形成於由上述資料線與掃瞄線形成之矩陣中的空格內，並與上述薄膜電晶體的源極電極電性連接；

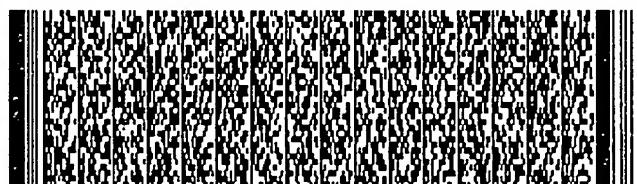
一輔助電極，形成於上述像素電極靠近上述資料線的兩側，且上述像素電極的邊緣係位於上述輔助電極的上方，上述輔助電極與上述源極電極係位於同一平面上，且上述輔助電極與上述像素電極電性連接，進而與上述源極電極連接。

2. 如申請專利範圍第1項所述之薄膜電晶體陣列結構，其中，上述輔助電極、上述源極電極與上述資料線的圖案係位於同一個光罩上。

3. 如申請專利範圍第1項所述之薄膜電晶體陣列結構，其中，上述輔助電極的圖案為H形。

4. 如申請專利範圍第1項所述之薄膜電晶體陣列結構，其中，上述像素電極係經由一接觸孔與上述源極電極連接。

5. 如申請專利範圍第1項所述之薄膜電晶體陣列結構，其中，上述輔助電極係經由一接觸孔與上述像素電極連接。



六、申請專利範圍

6. 一種薄膜電晶體陣列結構，包括：

一薄膜電晶體；

一資料線，與上述薄膜電晶體的汲極連接；

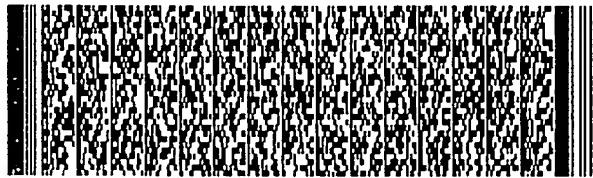
一掃瞄線，與上述薄膜電晶體的閘極連接，且上述掃瞄線係與上述資料線垂直交叉形成矩陣狀的配置；

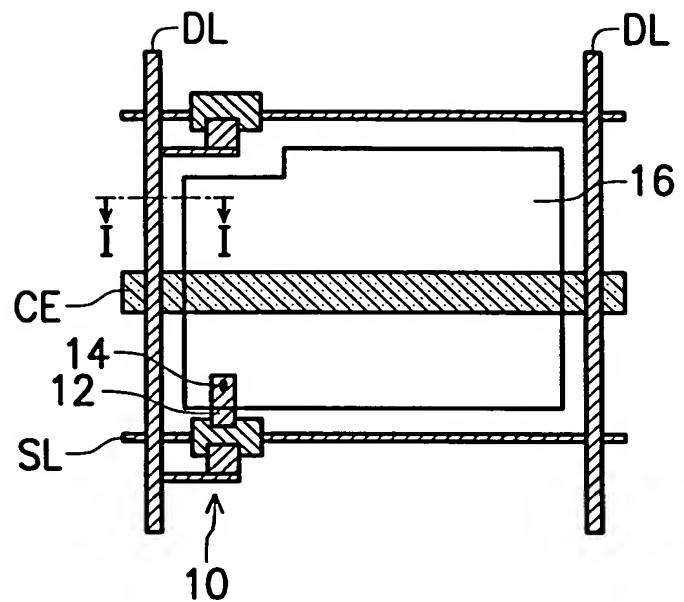
一像素電極，形成於由上述資料線與掃瞄線形成之矩陣中的空格內，經由一接觸孔與上述薄膜電晶體的源極電極連接，上述源極電極係延伸至上述像素電極靠近上述資料線的兩側，且上述像素電極的邊緣係位於上述源極電極上方。

7. 如申請專利範圍第6項所述之薄膜電晶體陣列結構，其中，上述源極電極與上述資料線的圖案係位於同一個光罩上。

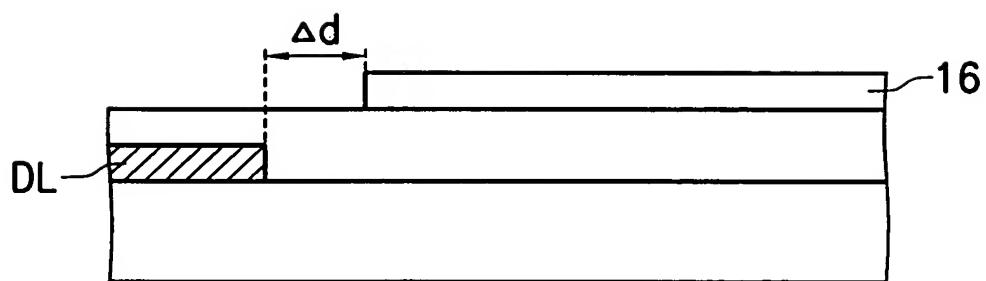
8. 如申請專利範圍第6項所述之薄膜電晶體陣列結構，其中，上述源極電極的圖案為U形。

9. 如申請專利範圍第6項所述之薄膜電晶體陣列結構，其中，上述像素電極係經由一接觸孔與上述源極電極連接。

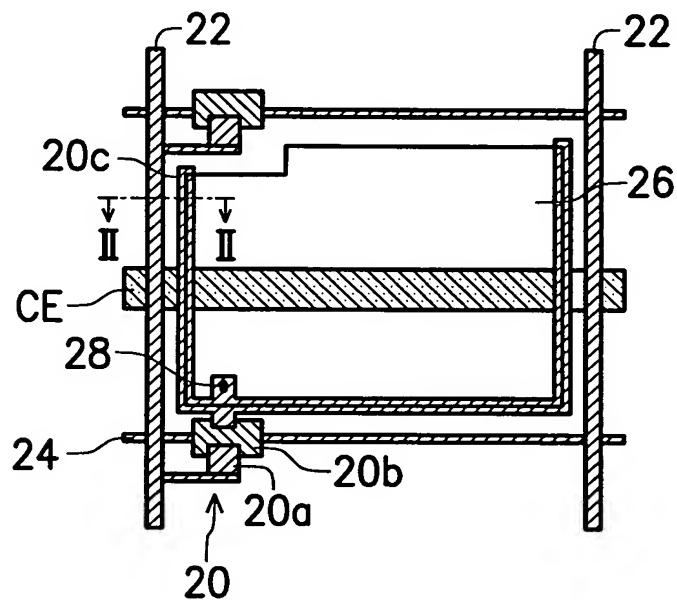




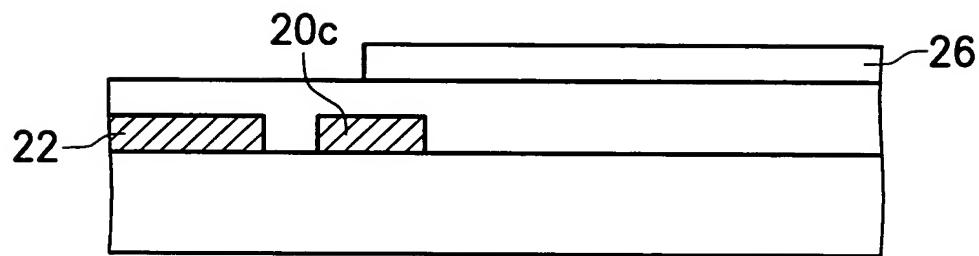
第 1A 圖



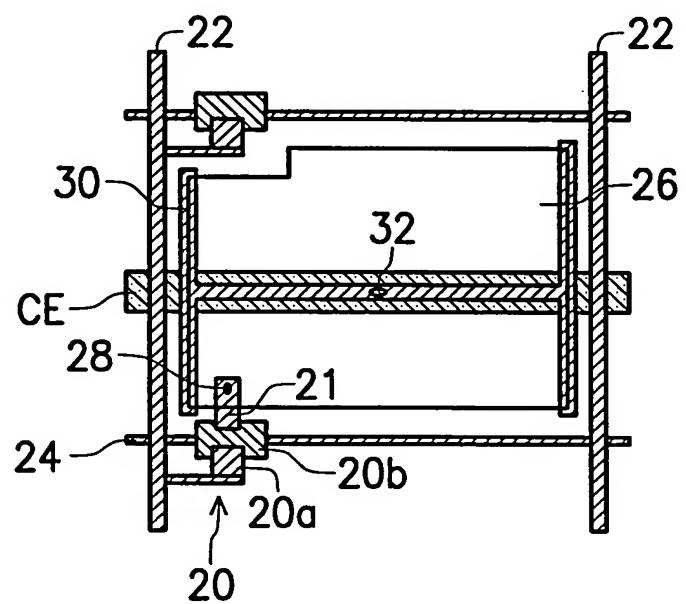
第 1B 圖



第 2A 圖

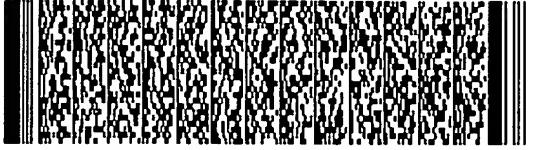


第 2B 圖

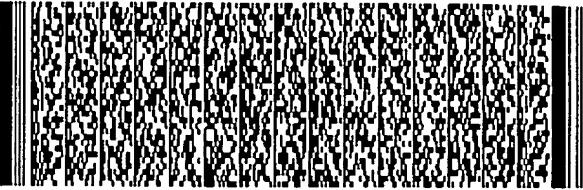


第 3 圖

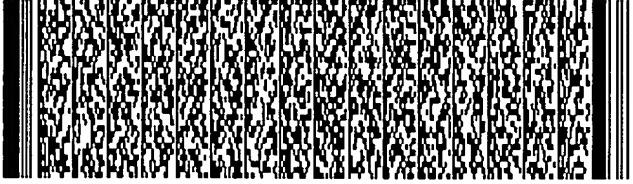
第 1/11 頁



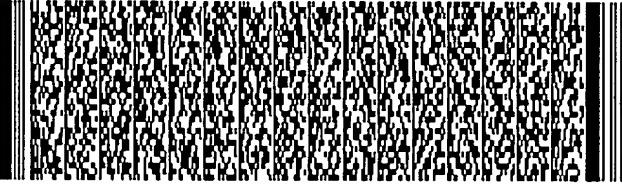
第 2/11 頁



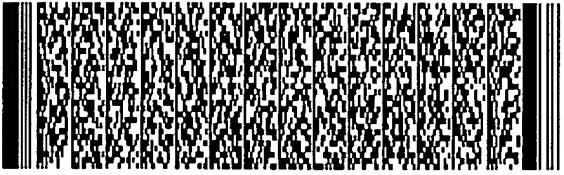
第 4/11 頁



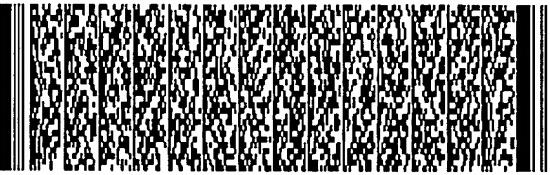
第 4/11 頁



第 5/11 頁



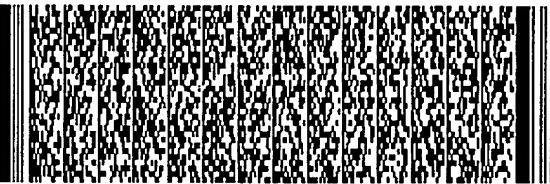
第 5/11 頁



第 6/11 頁



第 7/11 頁



第 7/11 頁



第 8/11 頁



第 8/11 頁



第 9/11 頁



第 10/11 頁



第 11/11 頁

